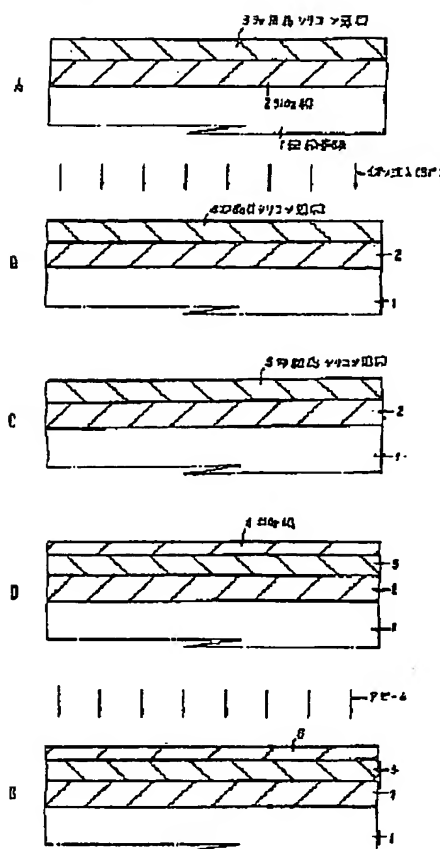


EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11121765
PUBLICATION DATE : 30-04-99
APPLICATION DATE : 24-08-98
APPLICATION NUMBER : 10236992
APPLICANT : SONY CORP;
INVENTOR : NOGUCHI TAKASHI;
INT.CL. : H01L 29/786 H01L 21/336 H01L 21/20
H01L 21/268
TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device having such wide area as a large capacity of memory (for example, DRAM or SRAM of megabit class) used for the liquid crystal display or the line sensor, with efficiency and without causing the characteristics degradation.

SOLUTION: A method includes a means for forming a first polycrystalline silicon thin film 5 on the insulated board, a process for forming a second polycrystalline silicon thin film by irradiating rectangular laser beam 7 controlled not to melt the crystal part in the first polycrystalline silicon thin film, and a process for forming a thin film transistor having the second polycrystalline silicon thin film in its own active layer.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-121765

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/786
21/336
21/20
21/268

H 0 1 L 29/78 6 2 7 G
21/20
21/268 F

審査請求 有 請求項の致4 O L (全 5 頁)

(21) 出願番号 特願平10-236992
(62) 分割の表示 特願平1-208539の分割
(22) 出願日 平成1年(1989) 8月11日

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 野口 隆
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 液晶表示装置やラインセンサ等に用いられる大容量メモリ(メガビット級DRAMやSRAM等)等の大面積を有する半導体装置の形成をより効率よく、かつ特性の劣化を招来させることなく行なうことができる半導体装置の製造方法を提供する。

【解決手段】 絶縁基板上に第1の多結晶シリコン薄膜5を形成する方法と、この第1の多結晶シリコン薄膜5中の結晶部分を溶融させないように制御された矩形形状のレーザビーム7を第1の多結晶シリコン薄膜5に照射して第2の多結晶シリコン薄膜を形成する工程と、第2の多結晶シリコン薄膜を能動層に有する薄膜トランジスタを形成する工程とを含んで半導体装置を製造する。

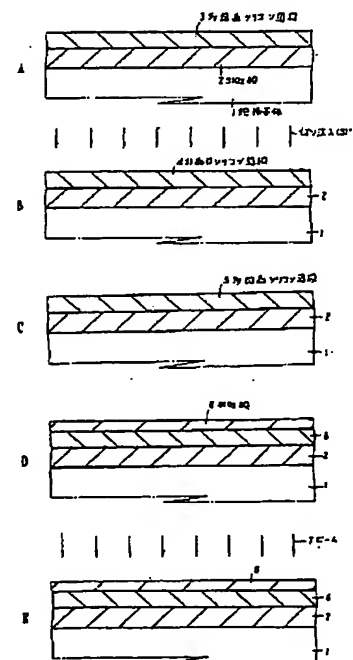


図1 実施例を示す工程図

【特許請求の範囲】

【請求項1】 絶縁基板上に第1の多結晶シリコン薄膜を形成する方法と、

前記第1の多結晶シリコン薄膜中の結晶部分を溶融させないように制御された矩形形状のレーザービームを前記第1の多結晶シリコン薄膜に照射して第2の多結晶シリコン薄膜を形成する工程と、

前記第2の多結晶シリコン薄膜を能動層に有する薄膜トランジスタを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の多結晶シリコン薄膜形成工程が、非晶質シリコン薄膜を形成する工程と、この非晶質シリコン薄膜を結晶成長させる工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記レーザービームは、前記第1の多結晶シリコン薄膜に対して照射領域が一部重なるように走査されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記レーザービームが、パルスレーザーであることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタを有する半導体装置の製造方法、特に液晶表示装置やラインセンサ等に組込まれる大面積（大容量）LSI等を用いて好適な半導体装置の製造方法に関する。

【0002】

【従来の技術】一般に、薄膜トランジスタは、石英ガラス等の絶縁基板上に、多結晶シリコン等の半導体薄膜を被着形成し、この薄膜半導体層に例えばチャネルが形成される活性領域や低抵抗のソース領域、ドレイン領域を夫々形成して電界効果型トランジスタを構成するようにしている。

【0003】ところで、薄膜トランジスタの基板としては、従来より高融点の石英ガラスが一般に用いられているが、材料費が高価高価となるため、石英ガラスより低融点の通常の耐熱ガラスを基板に用いることが望まれている。

【0004】このような比較的低融点の耐熱ガラスを基板に用いる場合には、薄膜トランジスタの製造工程中の基板上の上限温度を基板ガラスの歪点以下とするような低温プロセスが必要となる。

【0005】しかしながら、このような低温プロセスにおいては、特性の良好な活性領域を得ることは困難である。即ち、基板上に例えばCVD（化学気相成長）法等でシリコンを被着形成したのみでは、結晶粒径の小さなトラップ密度の高い多結晶シリコン層が形成され、電気的特性、特にしきい値電圧 V_{th} 、サブスレッショルド特性、移動度 μ 、リーク電流の点で良好なものが得られな

い。

【0006】そのため、基板上に多結晶シリコン層を形成した後、シリコンイオン Si^+ を注入して非晶質化し、次いで低温アニール（600℃程度）して結晶粒径を大きくした多結晶シリコン層を得る方法が考えられている。

【0007】この場合には、比較的高性能の薄膜トランジスタが得られるが、1000℃の高温プロセスで製造された薄膜トランジスタには及ばない。この原因は、多結晶シリコン層の結晶粒径でなく、その粒界トラップ密度が600℃では充分改善されないからである。

【0008】そこで、上記低温アニール後、Arレーザーで短時間のアニールを施して多結晶シリコン層のトラップ密度を低減させる方法が考えられるが、このArレーザーは、波長が長く、連続発振（CW）のため、面による照射が困難であり、大面積を有する膜厚1000Å未満の多結晶シリコン薄膜には適さない。

【0009】ところが、最近、短波長のパルスを発振するエキシマレーザーによるパルスレーザーアニールが注目され、実用化されている。

【0010】

【発明が解決しようとする課題】しかしながら、従来のエキシマレーザーによるパルスレーザーアニールは、照射領域を瞬時に溶融して行っているため、特に大面積の多結晶シリコン薄膜に対してアニールした場合、不連続面が形成され、その後のデバイス作製に影響を及ぼすという不都合があった。

【0011】即ち、エキシマレーザービームを光学的ホモジナイザを介して多結晶シリコン薄膜に照射すると、10mm角以上の照射面積を得ることができ、これを走査することによって、大面積アニールが可能となるが、上述の如く、照射領域を溶融する程度のエネルギー密度（約 1 J/cm^2 ）で行なうため、各照射領域間で未溶融領域が形成されるのを防止する目的で照射領域を1部重ねて走査した場合、照射領域の重なった部分が更に溶融し、結果的に多結晶シリコン薄膜表面が不連続面、即ち凹凸面となってしまい、その後のデバイス作製に支障を来すという不都合があった。

【0012】本発明は、このような点に鑑み成されたもので、その目的とするところは、液晶表示装置やラインセンサ等に用いられる大容量メモリ（メガビット級DRAMやSRAM等）等の大面積を有する半導体装置の形成をより効率よく、かつ特性の劣化を招来させることなく行なうことができる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明の半導体装置の製造方法は、絶縁基板1上に第1の多結晶シリコン薄膜5を形成する方法と、この第1の多結晶シリコン薄膜5中の結晶部分を溶融させないように制御された矩形形状のレ

ーザビーム7を第1の多結晶シリコン薄膜5に照射して第2の多結晶シリコン薄膜を形成する工程と、第2の多結晶シリコン薄膜を能動層に有する薄膜トランジスタを形成する工程を含む。

【0014】また本発明は、上記半導体装置の製造方法において、第1の多結晶シリコン薄膜5形成工程が、非晶質シリコン薄膜4を形成する工程と、この非晶質シリコン薄膜4を結晶成長させる工程を含む。

【0015】また本発明は、上記半導体装置の製造方法において、レーザービーム7が第1の多結晶シリコン薄膜5に対して照射領域15が一部17重なるように走査される。

【0016】また本発明は、上記半導体装置の製造方法において、レーザービーム7をパルスレーザとする。

【0017】上述の本発明の方法によれば、第1の多結晶シリコン薄膜5中の結晶部分を溶融させないように制御された矩形のレーザービーム7を照射して第2の多結晶シリコン薄膜を形成するので、結晶部分は溶融せずに微小欠陥のみ改善された第2の多結晶シリコン薄膜が形成される。このとき、レーザービーム7が矩形7Sであるため大面積を走査するのに好適であり、大面積の多結晶シリコン薄膜5の微小欠陥を改善することができる。即ち、従来達成できなかった大面積を有する多結晶シリコン薄膜に対する膜質向上を目的としたアニールを実現させることができる。

【0018】そして、上述のように微小欠陥が改善されてトラップ密度が低減された第2の多結晶シリコン薄膜を能動層に有して薄膜トランジスタを形成するので、大面積を有する半導体装置、例えば液晶表示装置やラインセンサ等に用いられる大容量メモリ（メガビット級DRAMやSRAM等）等の形成をより効率よく、かつ特性の劣化を招来させることなく行なうことができる。

【0019】また、第1の多結晶シリコン薄膜5形成工程が、非晶質シリコン薄膜4を形成する工程と、この非晶質シリコン薄膜4を結晶成長させる工程を含むときには、レーザービーム7の照射前に予め第1の多結晶シリコン薄膜5の結晶粒径を大きくして、トラップ密度を小さくしておくことができる。

【0020】また、レーザービーム7が第1の多結晶シリコン薄膜5に対して照射領域15が一部重なるように走査されるときには、照射領域15間で欠陥が改善されない領域が形成されることを防止することができる。

【0021】また、矩形のレーザービーム7をパルスレーザとすることにより、面による照射が可能となり大面積の照射を行うことができる。

【0022】

【発明の実施の形態】以下、図1～図4を参照しながら本発明の実施の形態を説明する。

【0023】図1は、本実施の形態に係る半導体装置の製造方法を示す工程図である。以下順を追ってその工程

を説明する。

【0024】まず、図1Aに示すように、例えば耐熱ガラスより成る絶縁基板1上に膜厚1000Å程度のSiO₂膜2を形成したのち、該SiO₂膜2上に膜厚800Å程度の多結晶シリコン薄膜3を例えばCVD法等で被着形成する。

【0025】次に、図1Bに示すように、多結晶シリコン薄膜3に対してシリコンイオンSi⁺をイオン注入して多結晶シリコン薄膜3を非晶質シリコン薄膜4に変化させる。このときのSi⁺のイオン注入条件としては、例えば打込みエネルギー約40keVとし、打込みドーズ量を 1.5×10^{-15} cm⁻²程度とする。

【0026】次に、図1Cに示すように、非晶質シリコン薄膜4に対して例えば600℃、30時間の低温熱処理を施して結晶成長させ、図示する如く結晶粒の大きな多結晶シリコン薄膜5を形成する。このとき、多結晶シリコン薄膜5は、粒径は成長するが、粒界のトラップ密度は悪い（高い）。

【0027】次に、図1Dに示すように、多結晶シリコン薄膜5上に膜厚500Å程度のSiO₂膜6を例えばCVD法等で被着形成する。

【0028】次に、図1Eに示すように、多結晶シリコン薄膜5に対して希ガス・ハライドエキシマレーザービーム7を照射してトラップ密度の低減化を目的としたアニールを行なう。

【0029】本実施の形態では、図2に示すように、希ガス・ハライドエキシマレーザー光源8として波長308nmのXeClエキシマレーザー光源を用い、該レーザー光源8からのビーム7をワークステーション、図示の例では、ミラー9、アッテネータ10、ミラー11及び12、ビームホモジナイザ13を介してステージ14上に載置されたウェハ（図示せず）上の多結晶シリコン薄膜5に照射する。

【0030】このとき、ビームホモジナイザ13を経て照射されたビーム7は、そのビームプロファイルが広範囲にわたり極めて均一となり、ビームスポット7Sの形状が図2の拡大図で示すように、10mm角の矩形の照射面積を有するものとなる。

【0031】また、ビーム7は、その照射温度が、多結晶シリコン薄膜5を溶融させない程度の温度、即ち非晶質シリコンの融点より高く、単結晶シリコンの融点より低くなるようにそのエネルギー密度を設定する。本実施の形態（800Å厚の多結晶シリコン薄膜5、500Å厚のSiO₂膜6）では、300mJ/cm²より近い密度に設定する。

【0032】そして、本実施の形態では、ステージ14又はビームホモジナイザ13を相対的に移動させてビームスポット7Sをステージ14上の多結晶シリコン薄膜5に対して走査させる。このようにすれば、大面積を有する多結晶シリコン薄膜5に対しレーザービーム7による

大面積アニールを行なうことができる。

【0033】図3は、20mm角の矩形状セル（多結晶シリコン薄膜）5に対し、10mm角のビームスポットを走査させる例を示したもので、まず、図3Aに示すように、ビームスポットをセル5に対し番号1、2、3、4の順に走査させる。このときはまだ照射領域15の境界16において未照射部分が存在し、セル5表面は不連続となっている。

【0034】次に、図3Bに示すように、ビームスポットをセル5に対し番号5、6、7、8の順に走査し、更に、図3Cの番号9で示すように、セル5の中央部分を照射する。この段階で完全に未照射部分がなくなりセル5表面に存していた不連続部分は消失する。また、ビーム7のエネルギー密度を上記の加く設定したので、最初の照射領域（番号1、2、3、4で示す領域）15及び照射領域15が重なった領域（番号5、6、7、8、9で示す領域）17における結晶部分は溶けず微小欠陥のみ改善され、多結晶シリコン薄膜5中の結晶の熔融に伴う不連続面は形成されない。

【0035】上記の例は、エネルギー密度を一定にしてビーム7を照射したが、番号5、6、7、8、9で示す領域17を照射する際のエネルギー密度を番号1、2、3、4で示す領域15を照射する際のエネルギー密度より低く設定してもよい。

【0036】また、走査順序としては、上記の例のほか、図4に示すように行ってもよい。この場合においても、照射領域及び照射領域が重なった領域における結晶部分は溶けず微小欠陥のみ改善され、不連続面は形成されない。

【0037】この工程以降は、素子形成領域の分離、素子形成領域へのデバイス作製等が行なわれて本実施の形態に係る電気的特性が改善されたLSIを得る。

【0038】上述の如く本実施の形態によれば、図1Eにおいて、XeClエキシマレーザビーム7によるアニール処理時、ビーム7の照射温度が多結晶シリコン薄膜5中の結晶の熔融温度より低くなるように、即ち非晶質シリコンの融点より高く、単結晶シリコンの融点より低くなるようにビーム7のエネルギー密度を設定し、更にビームホモジナイザ13によりビームスポット7Sの形状を例えば10mm角の矩形状にし、そしてこのビームスポット7Sを多結晶シリコン薄膜5に対し、一部が重なるように走査するようにしたので、ビーム7の照射領域15及び照射領域15が重なった領域17における結晶部分は溶けず微小欠陥のみ改善される。

【0039】その結果、大面積を有する多結晶シリコン薄膜5表面に未照射及び結晶部分の熔融に伴う不連続面（凹凸面）を形成することなく、多結晶シリコン薄膜5のトラップ密度を低減することができ、従来達成できなかった大面積を有する多結晶シリコン薄膜5の膜質向上を目的としたアニールを実現させることができ、液晶表

示装置やラインセンサ等に用いられる大容量メモリ（メガビット級DRAMやSRAM等）の形成をより効率よく、かつ特性の劣化を招来させることなく行なうことができる。

【0040】また、ビーム7のエネルギー密度を上記の加く多結晶シリコン薄膜5中の結晶が熔融しない程度の照射温度となるように設定したので、レーザ出力に関する負担を軽減することができると共に、多層構造のメモリセルを作製する場合、下部のトランジスタの特性を劣化させることなく、即ち不純物領域を必要以上に拡散させることなく上部のトランジスタを形成することができる。

【0041】また、エキシマレーザビーム7による多結晶シリコン薄膜5へのアニール処理時、図1Eに示すように、多結晶シリコン薄膜5上にSiO₂膜6を形成してから行なうようにしたので、SiO₂膜6が一種の反射防止膜となり（即ち、多結晶シリコン薄膜5に直接XeClエキシマレーザビーム7を照射すると、表面において約70%が反射されてしまうが、SiO₂膜6を介して照射するとほとんど反射されない）、多結晶シリコン薄膜5へのアニール効率をより高めることができ、膜中のトラップ密度の低減化をより一層図ることができる。

【0042】

【発明の効果】本発明に係る半導体装置の製造方法は、第1の多結晶シリコン薄膜中の結晶部分を熔融させないように制御された矩形状のレーザビームを照射して第2の多結晶シリコン薄膜を形成するようにしたので、結晶部分は熔融せずに微小欠陥のみ改善された第2の多結晶シリコン薄膜が形成され、大面積を有する多結晶シリコン薄膜に対して不連続な部分を形成することなく膜質向上が図られる。

【0043】そして、上述のように微小欠陥が改善されてトラップ密度が低減された第2の多結晶シリコン薄膜を能動層に有して薄膜トランジスタを形成するので、大面積を有する半導体装置、例えば液晶表示装置やラインセンサ等に用いられる大容量メモリ（メガビット級DRAMやSRAM等）等の形成をより効率よく、かつ特性の劣化を招来させることなく行なうことができる。

【図面の簡単な説明】

【図1】A～E 本発明の実施の形態に係る半導体装置の製造方法を示す工程図である。

【図2】本発明の実施の形態に係るレーザアニール処理を示す構成図である。

【図3】A～C 本発明の実施の形態に係る走査順序を示す工程図である。

【図4】A～C 本発明の実施の形態に係る他の走査順序を示す工程図である。

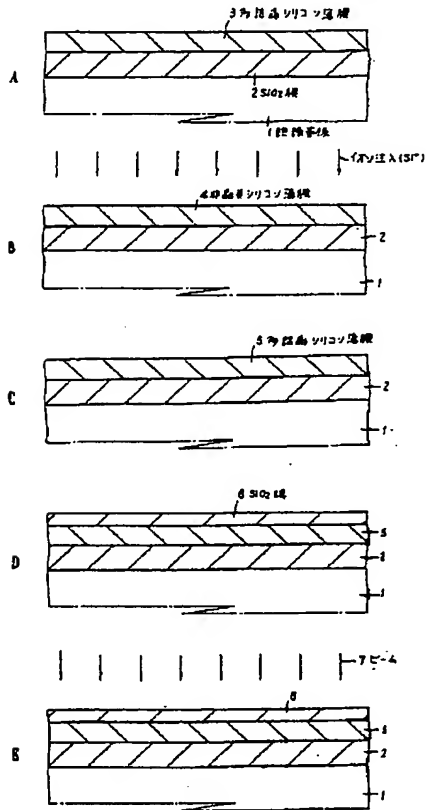
【符号の説明】

1 絶縁基板、2、6 SiO₂膜、3、5 多結晶シ

リコン薄膜、4 非晶質シリコン薄膜、7 レーザビーム、7S ビームスポット、8 光源、9, 11, 12 ミラー、10 アッテネータ、13 ビームホモジナ

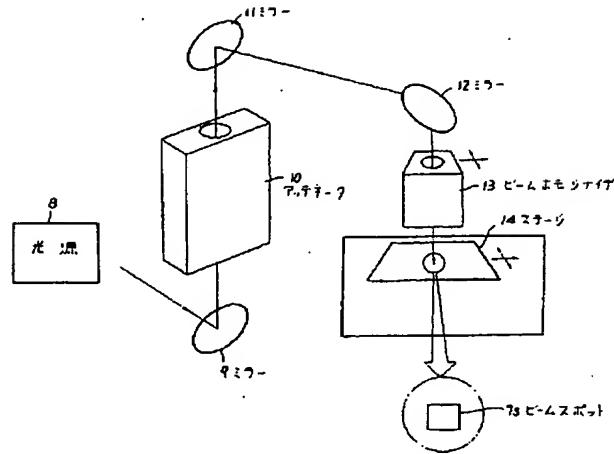
イザ、14 ステージ、15 照射領域、17 照射領域が重なった領域

【図1】



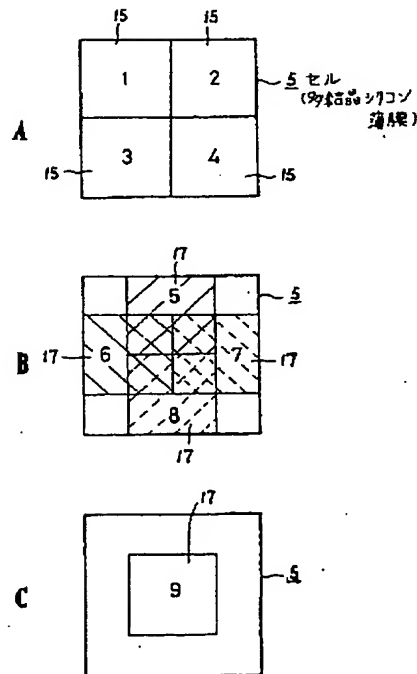
本実施例を示す工程図

【図2】



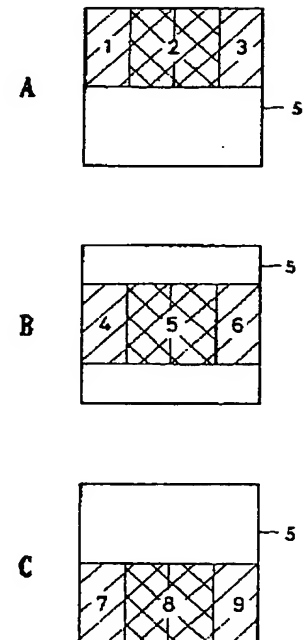
本実施例のアニール処理を示す構成図

【図3】



本実施例の正並順序を示す工程図

【図4】



他の正並順序を示す工程図

